

Patent



TFW

Customer No. 31561  
Application No.: 10/709,640  
Docket No. 12812-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Wang et al.  
Application No. : 10/709,640  
Filed : 2004/05/19  
For : METHOD OF FABRICATING A FLASH MEMORY  
Examiner :  
Art Unit : 2812

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 93103004,  
filed on: 2004/2/10.

A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: August 16, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

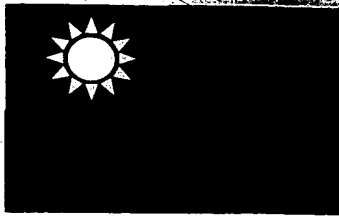
**7F.-1, No. 100, Roosevelt Rd.,**

**Sec. 2, Taipei 100, Taiwan, R.O.C.**

**Tel: 886-2-2369 2800**

**Fax: 886-2-2369 7233 / 886-2-2369 7234**

**E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder

申請日：西元 2004 年 02 月 10 日  
Application Date

申請案號：093103004  
Application No.

申請人：力晶半導體股份有限公司  
Applicant(s)

CERTIFIED COPY OF  
PRIORITY DOCUMENT

局長  
Director General

蔡練生

BEST AVAILABLE COPY

發文日期：西元 2004 年 6 月 1 日  
Issue Date

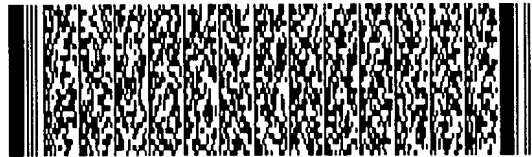
發文字號：09320540040  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	快閃記憶體的製造方法
	英 文	METHOD OF FABRICATING A FLASH MEMORY
二、 發明人 (共3人)	姓 名 (中文)	1. 王進忠 2. 杜建志
	姓 名 (英文)	1. WANG, LEO 2. DU, CHIEN CHIH
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹縣湖口鄉安宅三街16號 2. 新竹市光復路一段354巷16弄23號6樓
	住居所 (英 文)	1. No. 16, Anjai 3rd St., Hukou Shiang, Hsinchu, Taiwan 303, R.O.C. 2. 6F, No. 23, Alley 16, Lane 354, Sec. 1, Kwang-fu Rd., Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 力晶半導體股份有限公司
	名稱或 姓 名 (英文)	1. Powerchip Semiconductor Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行一路12號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 12, Li-Hsin Rd. I, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. HUANG, CHUNG JENG



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	3. 畢嘉慧
	姓 名 (英文)	3. SAYSAMONE PITTIKOUN
	國 籍 (中英文)	3. 法國 FR
	住居所 (中 文)	3. 新竹市培英街43巷12號4樓
	住居所 (英 文)	3. 4F., No.12, Lane 43, Peiying St., Hsinchu City 300, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：快閃記憶體的製造方法)

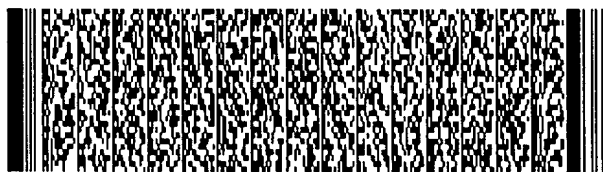
一種快閃記憶體的製造方法，此方法係先提供基底，此基底包括有多個元件隔離結構以定義出主動區，且主動區之基底上係依序形成有穿隧介電層與罩幕層。接著，移除每一個元件隔離結構的一部分，以形成多個溝渠。然後，於基底上形成介電層，以覆蓋罩幕層與這些溝渠的表面。繼之，在於這些溝渠內填入犧牲層後，以犧牲層為自行對準罩幕，移除部分的介電層。接著，移除罩幕層，以暴露出穿隧介電層。然後，於基底上形成導體層。之後，移除部分的導體層直到暴露出犧牲層的頂部。繼之，在移除犧牲層後，於基底上形成閘間介電層。然後，在於閘間介電層上形成控制閘極後，於控制閘極二側之基底中形成源極區與汲極區。

伍、(一)、本案代表圖為：第 2E 圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING A FLASH MEMORY)

A method of fabricating a flash memory is provided. The method includes providing a substrate having several isolation structures formed thereon for defining an active region, and a tunnel dielectric layer and a mask layer sequentially formed on the active region; removing partial section of each isolation structure to form several trenches; forming a

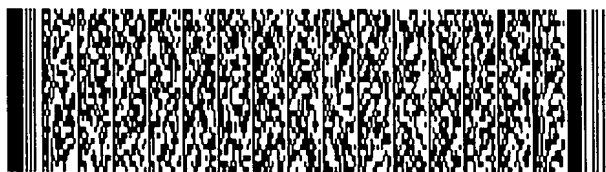


四、中文發明摘要 (發明名稱：快閃記憶體的製造方法)

200 : 基底  
206a : 穿隧介電層  
208a、220a : 導體層  
212 : 溝渠  
214a : 元件隔離結構  
216a : 介電層  
217 : 犧牲堆疊層  
218 : 犧牲層  
221 : 浮置閘極  
W4 : 寬度

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING A FLASH MEMORY)

dielectric layer over the substrate for covering the surfaces of the mask layer and the trenches; partially removing the dielectric layer after a sacrificed layer is filled in the trenches by using the sacrificed layer as a self-aligned mask; removing the mask layer and exposing the tunnel dielectric layer; forming a conductive layer over the substrate; partially removing the



四、中文發明摘要 (發明名稱：快閃記憶體的製造方法)

六、英文發明摘要 (發明名稱：METHOD OF FABRICATING A FLASH MEMORY)

conductive layer until the top section of the sacrificed layer is exposed; forming an inter-gate dielectric layer is formed over the substrate after the sacrificed layer is removed;. forming a control gate on the inter-gate dielectric layer; and forming a source region and a drain region in the substrate beside the control gate.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。





## 五、發明說明 (1)

### 發明所屬之技術領域

本發明是有關於一種記憶體元件的製造方法，且特別是有關於一種快閃記憶體及浮置閘極的製造方法。

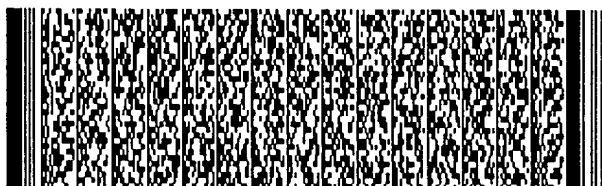
### 先前技術

快閃記憶體是一種可電除且可程式化之唯讀記憶體 (Electrically Erasable Programmable Read-Only Memory, EEPROM)，其具有可寫入、可抹除以及斷電後仍可保存資料的優點，因此是個人電腦和電子設備所廣泛採用的一種記憶體元件。此外，快閃記憶體為一種非揮發性記憶體 (Non-Volatile Memory, NVM) 元件，其具有非揮發性記憶體體積小、存取速度快及耗電量低的優點，且因其資料抹除 (Erasing) 時係採用「一塊一塊」 (Block by Block) 抹除的方式，所以更具有操作速度快的優點。

典型的快閃記憶體元件係以摻雜的多晶矽製作浮置閘極 (Floating Gate) 與控制閘極 (Control Gate)。而且，控制閘極係直接設置在浮置閘極上，浮置閘極與控制閘極之間係以介電層相隔，而浮置閘極與基底間係以穿隧氧化層 (Tunneling Oxide) 相隔 (亦即所謂堆疊閘極快閃記憶體)。此快閃記憶體元件是利用控制閘極上所施加之正或負電壓來控制浮置閘極中的電荷的注入與排出，以達到記憶的功能。

第1A圖至第1C圖所繪示為習知一種快閃記憶體元件之部分製造流程剖面示意圖。

請參照第1A圖，提供基底100，且在基底100中係已形



## 五、發明說明 (2)

成有多數個元件隔離結構102以定義出元件之主動區104而且在主動區104之基底100上係已形成有穿隧介電層106。

然後，於基底100上形成一層導體層108，以覆蓋元件隔離結構102與穿隧介電層106。接著，進行平坦化製程，移除部分的導體層108，並且使得導體層108的頂部表面平坦。

接著，請參照第1B圖，於導體層108上形成圖案化之光阻層109，此圖案化之光阻層109暴露元件隔離結構102上之部分導體層108。然後，以圖案化之光阻層109為罩幕，移除部分導體層108，而於元件隔離結構102上的導體層108中形成多數個溝渠107，且所保留下來之導體層108係為浮置閘極110。

然後，請參照第1C圖，在移除圖案化之光阻層109後，於基底100上形成閘間介電層112，以覆蓋浮置閘極110。接著，於閘間介電層112上形成控制閘極114。

在上述製程中，浮置閘極110係利用微影蝕刻製程以形成之。然而，由於此微影蝕刻製程需依序進行去水烘烤、塗底、上光阻、軟烤、曝光、曝光後烘烤、顯影、硬烤以及蝕刻等等步驟。因此不但耗費時間，而且還會增加許多製程成本。

另外，在上述製程中，由於利用化學機械研磨法 (Chemical Mechanical Polishing, CMP) 來平坦化導體層108，而在進行化學機械研磨的過程中並無終止層作為研



### 五、發明說明 (3)

磨終止的參考依據。因此，每次製程所保留下來之導體層108的厚度不一，亦即浮置閘極110的厚度無法獲得有效地控制。

另一方面，若浮置閘極與控制閘極之間的閘極耦合率(Gate Couple Ratio, GCR)越大，則其操作所需之工作電壓將越低。而提高閘極耦合率之方法包括增加閘間介電層之電容或減少穿隧氧化層之電容。其中，增加閘間介電層電容之方法為增加控制閘極層與浮置閘極之間所夾的面積。因此，若所形成之溝渠107的尺寸越小，則浮置閘極與控制閘極之間所夾的面積會越大，閘極耦合率越大。然而，在圖案化導體層108的過程中，溝渠107的尺寸係受到微影蝕刻製程其對於微小尺寸的製程限制，亦即無法形成更微小的溝渠107。因此使得控制閘極與浮置閘極之間所夾的面積無法更進一步增加，進而影響元件的效能。

#### 發明內容

有鑑於此，本發明的目的就是在提供一種快閃記憶體的製造方法，可以解決習知浮置閘極之厚度不易控制的問題，還可以增加浮置閘極與控制閘極之間的閘極耦合率，進而提升元件效能。

本發明的再一目的是提供一種浮置閘極的製造方法，以省去用於製作浮置閘極的光罩，亦即可以減少一道微影蝕刻製程，因此可以簡化製程。

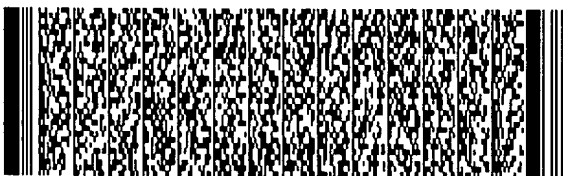
本發明提出一種快閃記憶體的製造方法，此方法係先提供基底，此基底上係已依序形成有穿隧介電層、第一導



#### 五、發明說明 (4)

體層、墊氣化層與圖案化之單幕層。之後，以圖案化之單幕層為基底，移除部分之墊氣化層，以形成多個第一溝渠。然後，在這些第一溝渠內填入絕緣材料，以形成多個第一導溝。接著，在這些第一導溝上方形成第二導溝，並移除第二導溝上方之墊氣化層，以形成多個第二導溝。然後，在這些第二導溝上方形成第三導溝，並移除第三導溝上方之墊氣化層，以形成多個第三導溝。如此類推，直到形成第N個導溝為止。最後，在這些導溝上方形成一層保護層，以保護這些導溝。此種結構之優點在於，由於每個導溝上方都有一層保護層，因此可以有效地防止導溝之間的電氣串擾，並提高器件的可靠性。此外，由於每個導溝上方都有一層保護層，因此可以有效地防止導溝之間的機械損傷，並提高器件的耐用性。此種結構之缺點在於，由於每個導溝上方都有一層保護層，因此需要額外的步驟來形成這些保護層，這可能會增加製造成本。然而，由於每個導溝上方都有一層保護層，因此可以有效地防止導溝之間的電氣串擾，並提高器件的可靠性。此外，由於每個導溝上方都有一層保護層，因此可以有效地防止導溝之間的機械損傷，並提高器件的耐用性。此種結構之優點在於，由於每個導溝上方都有一層保護層，因此可以有效地防止導溝之間的電氣串擾，並提高器件的可靠性。此外，由於每個導溝上方都有一層保護層，因此可以有效地防止導溝之間的機械損傷，並提高器件的耐用性。

由本發明在形成第二溝渠，並且藉此形成浮置閘極。因此，由於本發明在形成第二溝渠，並且藉此形成浮置閘極，因此可以有效地防止導溝之間的電氣串擾，並提高器件的可靠性。此外，由於每個導溝上方都有一層保護層，因此可以有效地防止導溝之間的機械損傷，並提高器件的耐用性。此種結構之優點在於，由於每個導溝上方都有一層保護層，因此可以有效地防止導溝之間的電氣串擾，並提高器件的可靠性。此外，由於每個導溝上方都有一層保護層，因此可以有效地防止導溝之間的機械損傷，並提高器件的耐用性。此種結構之缺點在於，由於每個導溝上方都有一層保護層，因此需要額外的步驟來形成這些保護層，這可能會增加製造成本。然而，由於每個導溝上方都有一層保護層，因此可以有效地防止導溝之間的電氣串擾，並提高器件的可靠性。此外，由於每個導溝上方都有一層保護層，因此可以有效地防止導溝之間的機械損傷，並提高器件的耐用性。



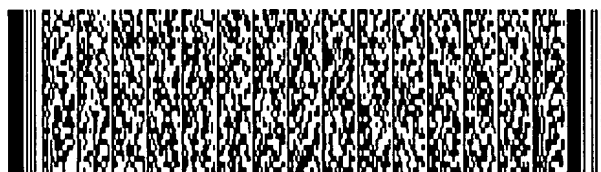
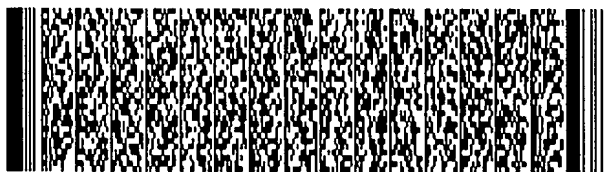
## 五、發明說明 (5)

製作浮置閘極之光罩，亦即可以減少一道微影蝕刻製程，進而節省製程成本。

另外，由於本發明所形成之浮置閘極其厚度與所形成之介電層與犧牲層的總高度有關，因此浮置閘極的厚度可藉由所形成之介電層與犧牲層的總高度來決定，於是浮置閘極的厚度可以獲得較好的控制。

此外，由於本發明可以藉由形成厚度較厚的介電層，以縮小第二溝渠的尺寸，進而形成尺寸較大之浮置閘極。因此控制閘極與浮置閘極之間所夾的面積可以提升，進而提升閘極耦合率。

本發明提出一種浮置閘極的製造方法，此方法係先提供基底，此基底包括有數個元件隔離結構以定義出主動區，且此主動區之基底上係依序形成有穿隧介電層與單幕層。然後，移除每一個元件隔離結構的一部分，以形成多個溝渠，且所保留下來之元件隔離結構的頂部係介電層，以填入這些溝渠內。接著，於這些溝渠內填以犧牲層，其中犧牲層與介電層之材料具有不同之蝕刻選擇性。繼之，以犧牲層為自行對準單幕，移除部分之介電層。接著，於基底上形成導體層。繼之，移除部分之導體層直到暴露出犧牲層的頂部，其中移除部分之導體層直到暴露出犧牲層的頂部之方法可為化學機械研磨法，且導體層與犧牲層之材料具有不同之蝕刻選擇性。之後，移除犧牲層。



## 五、發明說明 (6)

由於本發明之形成浮置閘極的製造方法，係先於元件隔離結構上形成溝渠，然後再依序於溝渠中填入介電層與犧牲層，並且藉由此介電層與此犧牲層所構成之堆疊結構來形成浮置閘極。因此利用本發明之方法可以省去用於製作浮置閘極之光罩，亦即可以減少一道微影蝕刻製程，進而節省製程成本。

此外，由於本發明所形成之浮置閘極其厚度與所形成之介電層與犧牲層的總高度有關，因此浮置閘極的厚度可藉由所形成之介電層與犧牲層的總高度來決定，於是浮置閘極的厚度可以獲得較好的控制。

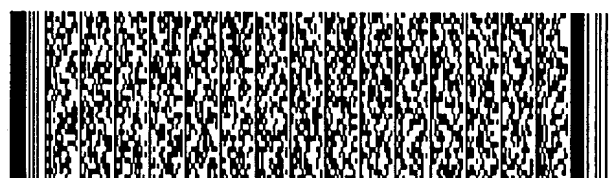
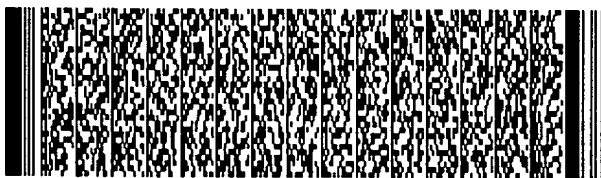
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

### 實施方式

第2A圖至第2F圖所示，其繪示依照本發明一較佳實施例的一種快閃記憶體之製造流程剖面示意圖。

首先，請參照第2A圖，提供基底200，此基底200例如是矽基底。然後，在此基底200上依序形成穿隧介電層206、導體層208、墊氧化層209與圖案化之罩幕層210，且圖案化之罩幕層210具有開口202，此開口202暴露後續預定形成元件隔離結構之區域。

其中，穿隧介電層206的材質例如是氧化矽，其形成方法例如是熱氧化法，而所形成之厚度例如是70埃至90埃。導體層208的材質例如是摻雜多晶矽，其形成方法例



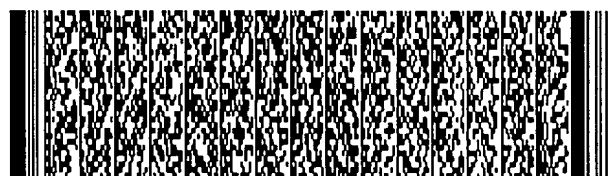
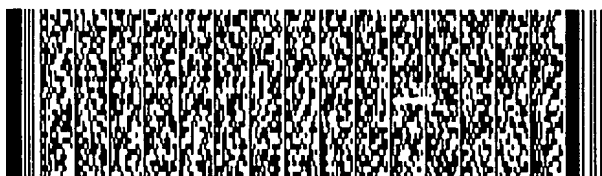
##### 五、發明說明 (7)

如是利用化學氣相沈積法形成一層未摻雜多晶矽層(未繪示)後，進行離子植入步驟以形成之，而所形成之厚度例如是500埃至1000埃。另外，墊氧化層209的材質例如是氧化矽，其形成方法例如是熱氧化法，而所形成之厚度例如是15埃至50埃。此外，罩幕層210的材質包括與墊氧化層209、導體層208、穿隧介電層206及基底200具有不同蝕刻選擇性之材質，其例如是氮化矽，且其厚度例如是1500埃至2000埃。圖案化罩幕層210之方法例如是微影蝕刻技術。

之後，請參照第2B圖，以圖案化之罩幕層210為蝕刻罩幕，移除部分的墊氧化層209、導體層208、穿隧介電層206，並於基底200中形成多數個溝渠212，而於基底200上留下穿隧介電層206a、導體層208a與墊氧化層209a。其中，所形成之溝渠212的深度例如是3000埃至4000埃。

然後，於溝渠212中填入絕緣材料，以形成多數個元件隔離結構214，並定義出主動區204。元件隔離結構214的形成方法例如是利用高密度電漿化學氣相沈積法(High Density Plasma Chemical Vapor Deposition, HDP-CVD)，形成一整層絕緣材料層(未繪示)後，再利用化學機械研磨法移除溝渠212以外之絕緣材料層以形成之。

值得注意的是，在上述的步驟中係先形成穿隧介電層206，再進行形成元件隔離結構214等相關步驟。因此可以避免因先形成元件隔離結構214，而於後續進行熱製程以形成穿隧介電層206的過程中，造成在鄰近元件隔離結構



#### 五、發明說明 (8)

214 處形成鳥嘴(Bird's Beak)，進而影響元件效能的問題。

接著，請參照第2C圖，移除每一個元件隔離結構214中的部分絕緣材料，以形成多數個溝渠215，且所保留下來之元件隔離結構214a的頂部係介於穿隧介電層206a與單幕層210之間。其中，移除元件隔離結構214的部分絕緣材料，以形成多數個溝渠215之方法包括利用乾蝕刻所進行之回蝕刻法。

繼之，於基底200上形成介電層216，以覆蓋單幕層210與溝渠215的表面。其中，介電層216的材質包括與後續所形成之導體層的材質具有不同蝕刻選擇性之材料，其例如是氮化矽。介電層216之形成方法例如是化學氣相沈積法，而所形成之厚度例如是200埃至1000埃。此外，在本實施例中，介電層216與單幕層210之材質例如是相同。

之後，於溝渠215內填入犧牲層218，且此犧牲層218係填滿溝渠215。其中，犧牲層218的材質包括與後續所形成之導體層的材質具有不同蝕刻選擇性之材料，其例如是氧化矽。犧牲層218的形成方法例如是於基底200上形成一整層犧牲材料層(未繪示)後，再利用化學機械研磨法或是回蝕刻法移除溝渠215以外之犧牲材料層以形成之。另外，在又一較佳實施例中，犧牲層218的形成方法例如是利用旋轉塗佈法(Spin Coating)將一整層旋塗式玻璃(Spin-On Glass, SOG)塗佈於基底200上，以形成犧牲材料層(未繪示)後，再利用回蝕刻法移除溝渠215以外之犧





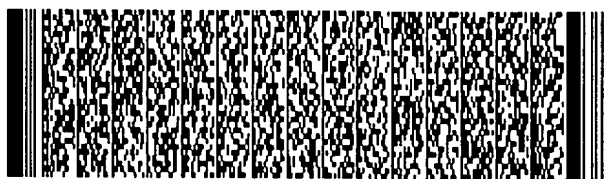
## 五、發明說明 (9)

性材料層以形成之。

然後，請參照第2D圖，以此犧牲層218為自行對準罩幕，移除部分的介電層216。由於犧牲層218與介電層216的材質具有不同之蝕刻選擇性，因此僅有犧牲層218下方之介電層216a會被保留下來，其餘介電層216皆會被移除，而形成由介電層216a與犧牲層218所構成之犧牲堆疊層217。而且，在本實施例中，由於介電層216與罩幕層210的材質為相同(例如皆為氮化矽)，因此在移除部分介電層216的過程，同時移除罩幕層210。

繼之，移除墊氧化層209a，以暴露出導體層208a。其中，墊氧化層209a的移除方法包括濕式蝕刻法，例如使用氫氟酸溶液作為蝕刻液。之後，於基底200上形成導體層220。由於導體層220下方係已先形成有導體層208a，因此導體層220可更易形成於其上。此外，導體層220的材質例如是摻雜多晶矽，其形成方法例如是利用化學氣相沈積法形成一層未摻雜多晶矽層(未繪示)後，進行離子植入步驟以形成之。

之後，請參照第2E圖，移除部分的導體層220直到暴露出犧牲層218的頂部，且保留下來的導體層220a與導體層208a係構成浮置閘極221。其中，移除部分的導體層220直到暴露出犧牲層218的頂部之方法例如是化學機械研磨法，且在研磨的過程中係以與其具有不同蝕刻選擇性之犧牲層218作為研磨終止層，因此所保留下來的導體層220a的厚度係與犧牲堆疊層217的總高度有關。於是，浮置閘



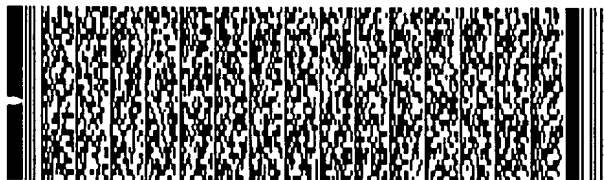
## 五、發明說明 (10)

極221的厚度可以獲得較好的控制。

此外，值得一提的是，先前於第2C圖中的溝渠215之側壁上所形成的介電層216，其厚度會影響所形成之導體層220a的尺寸，進而影響浮置閘極221與控制閘極(未繪示)之間所夾的面積。因此在先前的步驟中，可以藉由形成較厚的介電層216來縮小溝渠215的寬度，進而縮小相鄰二導體層220a之間的間距，而獲得尺寸較大的導體層220a。舉例來說，在第2C圖中，若溝渠215之原本的寬度W1為2000埃，二個溝渠215之間的單幕層210之寬度W2為1500埃，則在沈積500埃之介電層216後，此溝渠215的寬度W3會縮減為1000埃，而使得原本僅能形成寬度為1500埃(即單幕層的寬度W2)之導體層220a，形成如第2E圖所示之寬度W4為2500埃的導體層220a。因此可以藉由形成較厚的介電層216，來增加浮置閘極221與控制閘極之間所夾的面積，進而增加元件的效能。

繼之，請參照第2F圖，移除犧牲層218，此犧牲層218的移除方法包括濕式蝕刻法，例如使用氫氟酸溶液作為蝕刻液。值得一提的是，在上述形成浮置閘極的製程中，係先於元件隔離結構214上形成溝渠215，然後再依序於溝渠215中填入介電層216與犧牲層218，並且藉由介電層216a與犧牲層218所構成之犧牲堆疊結構217來形成浮置閘極221。因此利用本發明之方法可以省去浮置閘極之微影蝕刻製程，進而節省製程成本。

接著，於基底200上形成閘間介電層222，以覆蓋介電

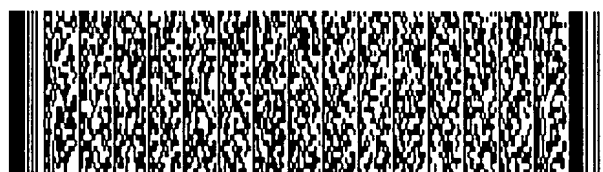
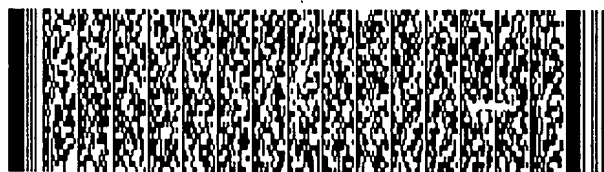


## 五、發明說明 (11)

層216a與浮置閘極221。其中，閘間介電層222之材質例如是氧化矽/氮化矽/氧化矽，且其形成方法例如是先以熱氧化法形成一層氧化矽層，再利用化學氣相沈積法形成氮化矽層與另一層氧化矽層，而所形成之氧化矽/氮化矽/氧化矽的厚度例如是40埃至50埃/45埃至70埃/50埃至70埃。當然，閘間介電層222之材質也可以是氧化矽/氮化矽等。

繼之，於閘間介電層222上形成控制閘極224。其中，控制閘極224之材質例如是摻雜多晶矽，且其形成方法例如是利用化學氣相沈積法形成一整層未摻雜多晶矽層(未繪示)後，進行離子植入步驟以形成之。之後，於控制閘極224二側之基底200中分別形成源極區(未繪示)與汲極區(未繪示)，其形成方法例如是進行離子植入步驟，以於控制閘極224二側之基底200中植入摻質而形成之。而後續完成快閃記憶體之製程為熟習此技術者所週知，在此不再贅述。

值得注意的是，本發明除了上述之實施例外，在另一較佳實施例中，在如第2D圖所示之移除墊氧化層209a的步驟之後，更包括先移除導體層208a，之後再依序進行形成導體層220以及後續如第2E圖與第2F圖所示之步驟，以完成快閃記憶體的製作。如此所形成之快閃記憶體其浮置閘極221係僅由導體層220a所構成。另外，在又一較佳實施例中，在如第2A圖所示之提供基底200的步驟中，係僅於基底200上形成穿隧介電層206與罩幕層210，因此所形成之快閃記憶體其浮置閘極221係同樣僅由導體層220a所構



## 五、發明說明 (12)

成。此外，在另一較佳實施例中，在如第2F圖所示之移除犧牲層218的步驟之後，更包括先移除介電層216a，再依序進行形成閘間介電層222與控制閘極224等步驟，以完成快閃記憶體的製作。

綜上所述，本發明至少具有下面的優點：

1. 由於本發明在形成浮置閘極的過程中，係先於元件隔離結構上形成溝渠，然後再依序於溝渠中填入介電層與犧牲層，並且藉由此介電層與此犧牲層所構成之犧牲堆疊結構來形成浮置閘極。因此利用本發明之方法可以省去製作浮置閘極之光罩，亦即可以減少一道微影蝕刻製程，進而節省製程成本。

2. 由於本發明所形成之浮置閘極其厚度與所形成之介電層與犧牲層的總高度有關，因此浮置閘極的厚度可藉由所形成之介電層與犧牲層的總高度來決定，於是浮置閘極的厚度可以獲得較好的控制。

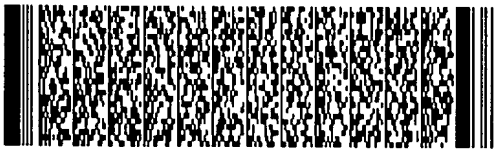
3. 由於本發明可以藉由形成厚度較厚的介電層，以縮小溝渠的尺寸，進而形成尺寸較大之浮置閘極。因此控制閘極與浮置閘極之間所夾的面積可以提升，進而提升閘極耦合率，而使元件具有較佳的效能。

4. 由於本發明係先形成穿隧介電層，再進行形成元件隔離結構等相關步驟。因此可以避免因先形成元件隔離結構，而於後續進行熱製程以形成穿隧介電層的過程中，造成在鄰近元件隔離結構處形成鳥嘴，進而影響元件效能的問題。



##### 五、發明說明 (13)

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1A圖至第1C圖所繪示為習知一種快閃記憶體之製造流程剖面示意圖。

第2A圖至第2F圖所繪示為本發明較佳實施例之一種快閃記憶體之製造流程剖面示意圖。

### 【圖式標記說明】

100、200：基底

102、214、214a：元件隔離結構

104、204：主動區

106、206、206a：穿隧介電層

107、212、215：溝渠

108、208、208a、220、220a：導體層

109：光阻層

110、221：浮置閘極

112、222：閘間介電層

114、224：控制閘極

202：開口

209、209a：墊氧化層

210：罩幕層

216、216a：介電層

217：犧牲堆疊層

218：犧牲層

W1、W2、W3、W4：寬度



## 六、申請專利範圍

1. 一種快閃記憶體之製造方法，包括：

提供一基底，該基底上係已依序形成有一穿隧介電層、一第一導體層、一墊氧化層與圖案化之一單幕層；以圖案化之該單幕層為單幕，移除部分該墊氧化層、該第一導體層、該穿隧介電層與該基底，以於該基底中形成多數個第一溝渠；

於該些第一溝渠中填入一絕緣材料，以形成多數個元件隔離結構；

移除各該些元件隔離結構之一部分，以形成多數個第二溝渠，且所保留下來之各該些元件隔離結構的頂部係介於該穿隧介電層與該單幕層之間；

於該基底上形成一介電層，以覆蓋該單幕層與該些第二溝渠的表面；

於該些第二溝渠內填入一犧牲層；

以該犧牲層為一自行對準單幕，移除部分該介電層；

移除該單幕層，以暴露出該墊氧化層；

移除該墊氧化層，以暴露出該第一導體層；

於該基底上形成一第二導體層；

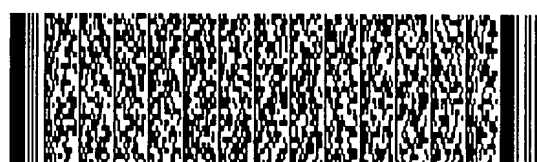
移除部分該第二導體層直到暴露出該犧牲層的頂部，且該第二導體層與該第一導體層係構成一浮置閘極；

移除該犧牲層；

於該基底上形成一閘間介電層，以覆蓋該浮置閘極；

於該閘間介電層上形成一控制閘極；以及

於該控制閘極二側之該基底中分別形成一源極區與一



## 六、申請專利範圍

汲極區。

2. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中該犧牲層與該介電層的材質具有不同之蝕刻選擇性，且該犧牲層與該第二導體層的材質具有不同之蝕刻選擇性。

3. 如申請專利範圍第2項所述之快閃記憶體的製造方法，其中該犧牲層的材質包括氧化矽。

4. 如申請專利範圍第2項所述之快閃記憶體的製造方法，其中該介電層的材質包括氮化矽。

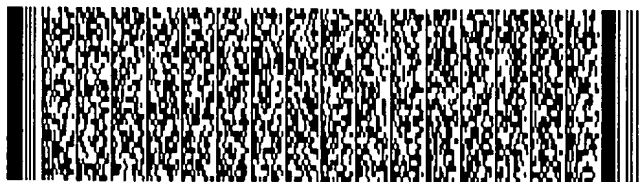
5. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中移除部分該第二導體層直到暴露出該犧牲層的頂部之方法包括化學機械研磨法。

6. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中該介電層與該罩幕層的材質為相同，且在移除部分該介電層的過程，同時移除該罩幕層。

7. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中在移除該犧牲層之後與形成該閘間介電層之前，更包括移除該介電層。

8. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中該些第二溝渠的形成方法包括利用乾蝕刻所進行之回蝕刻法。

9. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中在移除該墊氧化層之後與形成該第二導體層之前，更包括移除該第一導體層，且所形成之該浮置閘極係





## 六、申請專利範圍

由該第二導體層所構成。

10. 一種浮置閘極的製造方法，包括：

提供一基底，該基底包括有多數個元件隔離結構以定義出一主動區，且該主動區之該基底上係依序形成有一穿隧介電層與一罩幕層；

移除各該些元件隔離結構的一部分，以形成多數個溝渠，且所保留下來之各該些元件隔離結構的頂部係介於該穿隧介電層與該罩幕層之間；

於該基底上形成一介電層，以覆蓋該罩幕層與該些溝渠的表面；

於該些溝渠內填入一犧牲層；

以該犧牲層為一自行對準罩幕，移除部分該介電層；

移除該罩幕層，以暴露出該穿隧介電層；

於該基底上形成一第一導體層；

移除部分該第一導體層直到暴露出該犧牲層的頂部；

以及

移除該犧牲層。

11. 如申請專利範圍第10項所述之浮置閘極的製造方法，其中該犧牲層與該介電層的材質具有不同之蝕刻選擇性，且該犧牲層與該第一導體層的材質具有不同之蝕刻選擇性。

12. 如申請專利範圍第11項所述之浮置閘極的製造方法，其中該犧牲層的材質包括氧化矽。

13. 如申請專利範圍第11項所述之浮置閘極的製造方



## 六、申請專利範圍

法，其中該介電層的材質包括氮化矽。

14. 如申請專利範圍第10項所述之浮置閘極的製造方法，其中移除部分該第一導體層直到暴露出該犧牲層的頂部之方法包括化學機械研磨法。

15. 如申請專利範圍第10項所述之浮置閘極的製造方法，其中該介電層與該罩幕層的材質為相同，且在移除部分該介電層的過程，同時移除該罩幕層。

16. 如申請專利範圍第15項所述之浮置閘極的製造方法，其中該介電層與該罩幕層的材質包括氮化矽。

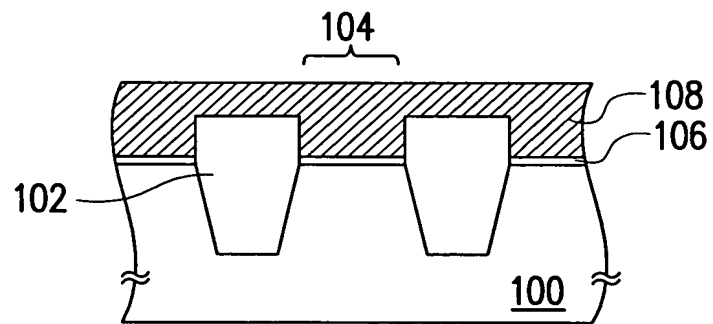
17. 如申請專利範圍第10項所述之浮置閘極的製造方法，其中該些溝渠的形成方法包括利用乾蝕刻所進行之回蝕刻法。

18. 如申請專利範圍第10項所述之浮置閘極的製造方法，其中在移除該犧牲層之後，更包括移除該介電層。

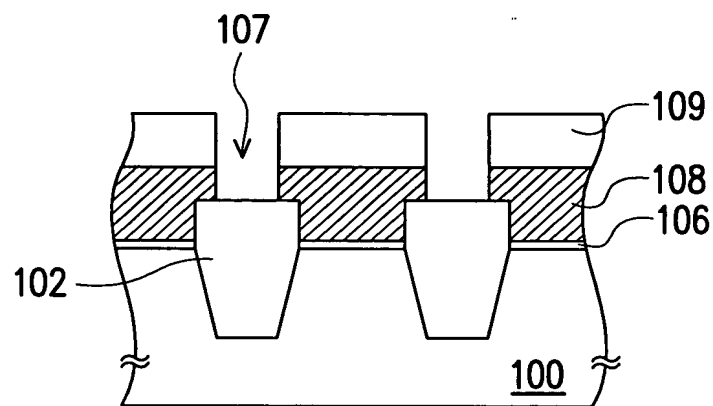
19. 如申請專利範圍第10項所述之浮置閘極的製造方法，其中所提供之該基底的該穿隧介電層與該罩幕層之間更包括依序形成有一第二導體層與一墊氧化層，且在移除該罩幕層之後與形成該第一導體層之前，更包括移除該墊氧化層，以暴露出該第二導體層。

20. 如申請專利範圍第19項所述之浮置閘極的製造方法，其中在移除該墊氧化層之後與形成該第一導體層之前，更包括移除該第二導體層。

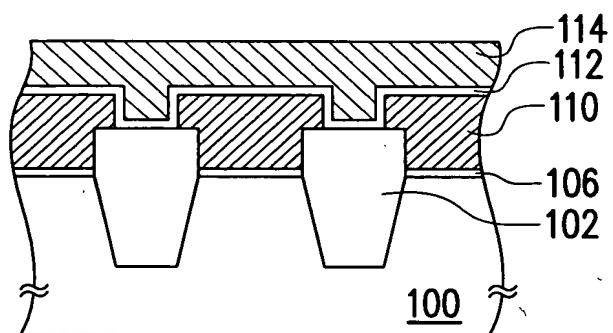




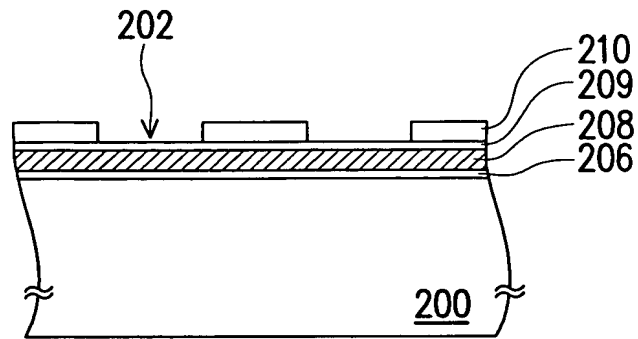
第 1A 圖



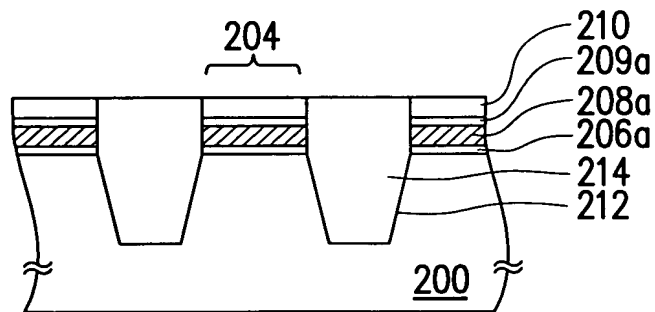
第 1B 圖



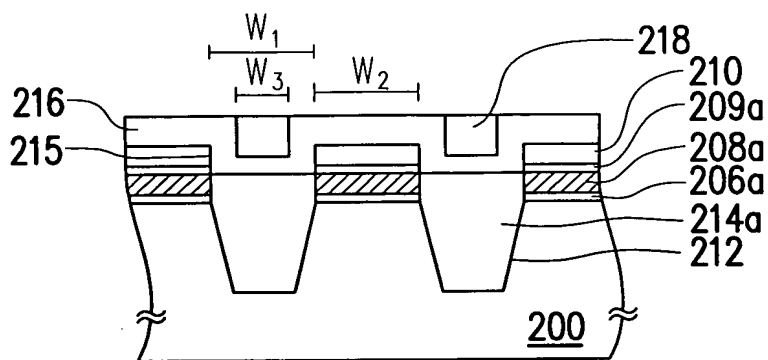
第 1C 圖



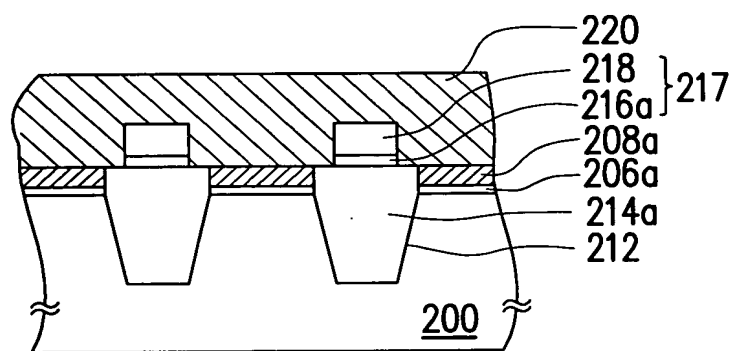
第 2A 圖



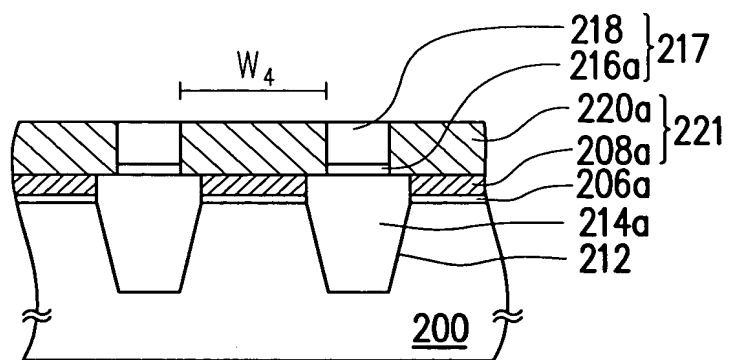
第 2B 圖



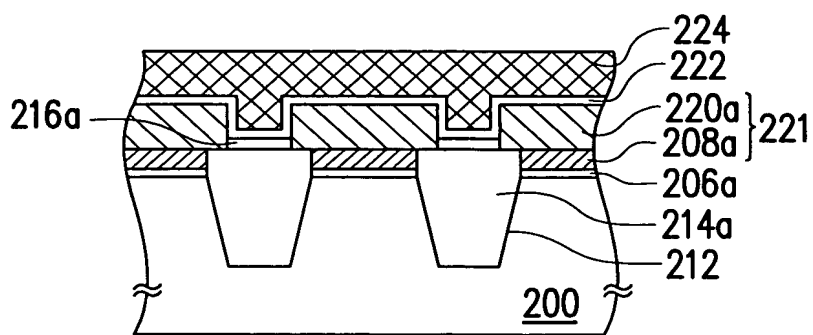
第 2C 圖




第 2D 圖



第 2E 圖



第 2F 圖



100

1000

[illegible]

100

100

100

100



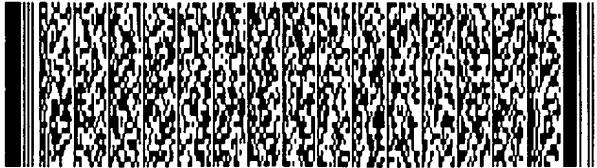
100

1000

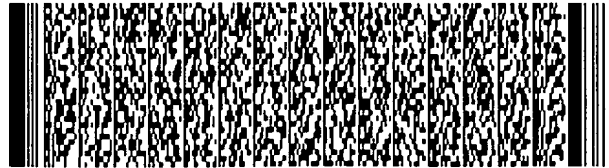
A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital artifact. The pattern consists of numerous small, irregular black shapes and lines scattered across a white background, creating a noisy, textured appearance. The overall effect is reminiscent of a high-contrast, grainy image or a complex digital noise pattern.



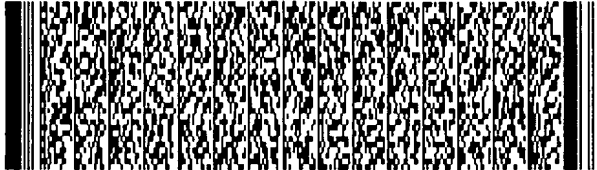
第 11/24 頁



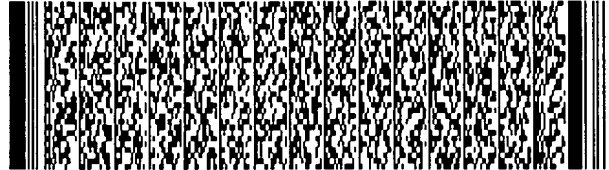
第 11/24 頁



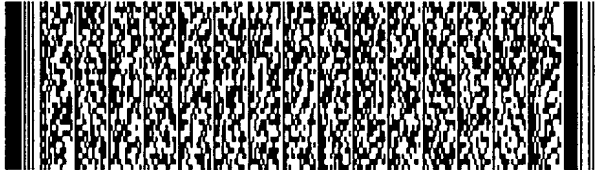
第 12/24 頁



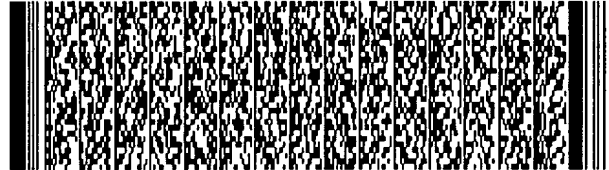
第 12/24 頁



第 13/24 頁



第 13/24 頁



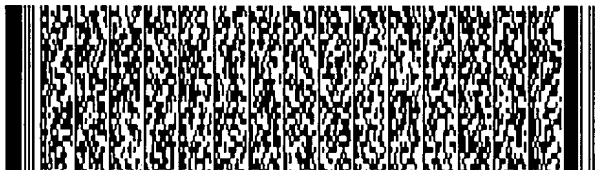
第 14/24 頁



第 14/24 頁



第 15/24 頁



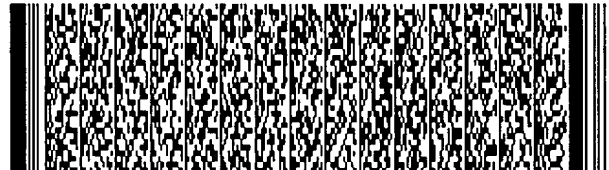
第 15/24 頁



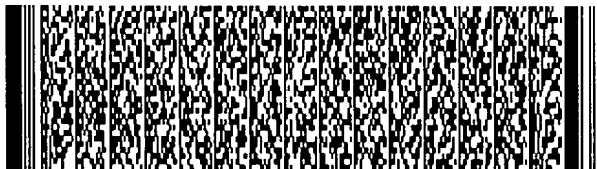
第 16/24 頁



第 16/24 頁



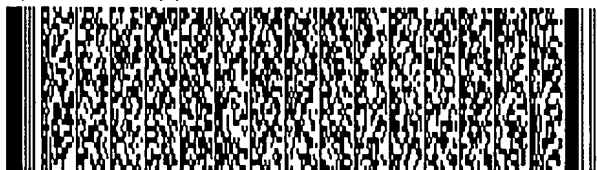
第 17/24 頁



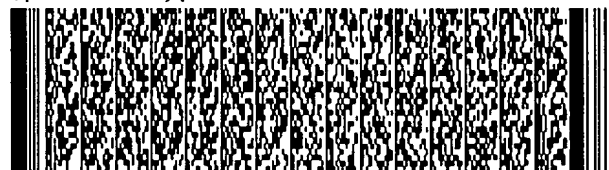
第 17/24 頁



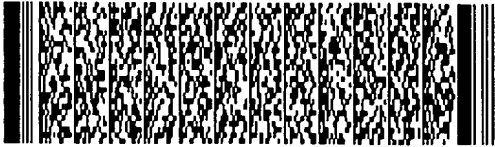
第 18/24 頁



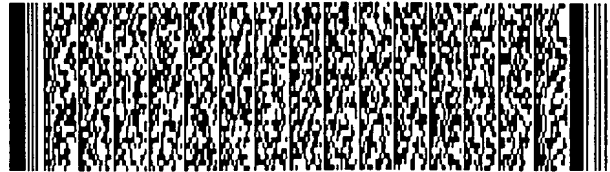
第 18/24 頁



第 19/24 頁



第 20/24 頁



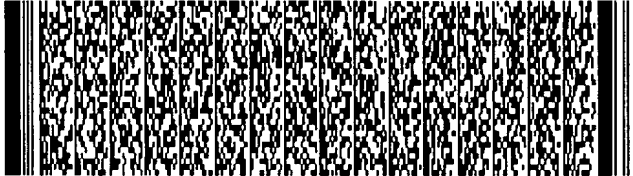
第 21/24 頁



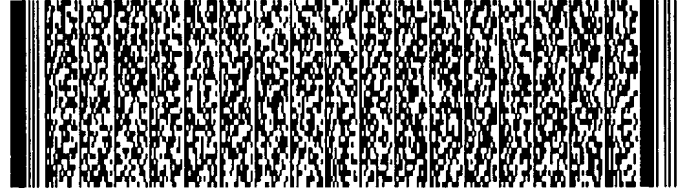
第 21/24 頁



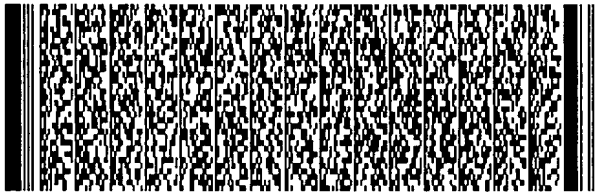
第 22/24 頁



第 23/24 頁



第 24/24 頁



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**